

(51) Int. Cl. ⁷	識別記号	F I	特許出願公開番号 (参考)
H 0 1 L 29/786		H 0 1 L 29/78	6 1 6 V
G 0 2 F 1/1368		G 0 2 F 1/136	5 3 0
H 0 1 L 29/43		H 0 1 L 29/62	6 1 2 B
21/336		29/78	6 1 3 A

審査請求 未請求 請求項の数12 ○L (全 31 頁) 最終頁に続く

(21) 出願番号 特願2000-347343 (P2000-347343)
(22) 出願日 平成12年11月14日 (2000. 11. 14)
(31) 優先権主張番号 特願平11-330174
(32) 優先日 平成11年11月19日 (1999. 11. 19)
(33) 優先権主張国 日本 (J P)

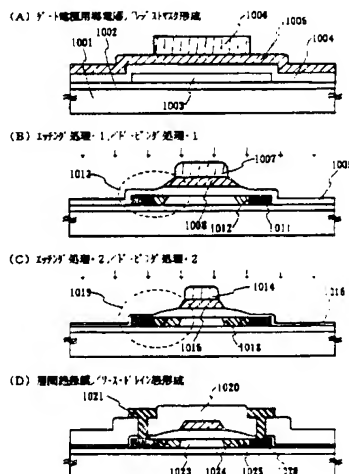
(71) 出願人 000152878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72) 発明者 小野 幸治
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内
(72) 発明者 真沢 英臣
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内
(72) 発明者 荒尾 達也
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54) 【発明の名称】 半導体装置及びその作製方法

(57) 【要約】

【課題】 アクティブマトリクス型の表示装置に代表される半導体装置において、各種回路に配置される T F T の構造を回路の機能に応じて適切なものとして、半導体装置の動作特性および信頼性を向上させると共に、工程数を削減して製造コストの低減と歩留まりの向上を実現することを目的としている。

【解決手段】 半導体層と該半導体層に接して形成された絶縁膜と該絶縁膜の上にゲート電極を有する半導体装置において、半導体層は、チャネル形成領域と、一導電型の不純物元素を含むソース領域またはドレイン領域を形成する第1の不純物領域と、チャネル形成領域に接し D D 領域を形成する第2の不純物領域を有し、第2の不純物領域の一部はゲート電極と重ねて設けられ、第2の不純物領域に含まれる一導電型の不純物元素の濃度は、チャネル形成領域から遠ざかるにつれて高くなる。



【特許請求の範囲】

【請求項1】半導体層と、該半導体層に接して形成された絶縁膜と、該絶縁膜の上にゲート電極を有するゲート電極とを有する半導体装置において、前記半導体層は、チャンネル形成領域と、一導電型の不純物元素を含むソース領域またはドレイン領域を形成する第1の不純物領域と、該チャンネル形成領域に接し、この領域を形成する第2の不純物領域を有し、前記第2の不純物領域の一部はゲート電極と重ねて設けられ、該第2の不純物領域に含まれる前記一導電型の不純物元素の濃度は、前記チャンネル形成領域から遠ざかるにつれて高くなることを特徴とする半導体装置。

【請求項2】 α チャンネル型薄層トランジスタを有する半導体装置において、前記 α チャンネル型薄層トランジスタは、 n 型半導体層と、該 n 型半導体層に接して形成された絶縁膜と、該絶縁膜の上にゲート電極を有するゲート電極とを有し、前記 n 型半導体層は、チャンネル形成領域と、一導電型の不純物元素を含むソース領域またはドレイン領域を形成する第1の不純物領域と、該チャンネル形成領域に接し、この領域を形成する第2の不純物領域を有し、前記第2の不純物領域の一部はゲート電極と重ねて設けられ、該第2の不純物領域に含まれる前記一導電型の不純物元素の濃度は、前記チャンネル形成領域から遠ざかるにつれて高くなることを特徴とする半導体装置。

【請求項3】 α チャンネル型薄層トランジスタと β チャンネル型薄層トランジスタを有する半導体装置において、前記 α チャンネル型薄層トランジスタと前記 β チャンネル型薄層トランジスタは、それぞれ半導体層と該半導体層に接して形成された絶縁膜と該絶縁膜の上にゲート電極を有するゲート電極とを有し、前記 α チャンネル型薄層トランジスタの半導体層は、チャンネル形成領域と、一導電型の不純物元素を含むソース領域またはドレイン領域を形成する第1の不純物領域と、該チャンネル形成領域に接し、この領域を形成する第2の不純物領域を有し、前記第2の不純物領域の一部はゲート電極と重ねて設けられ、該第2の不純物領域に含まれる前記一導電型の不純物元素の濃度は、前記チャンネル形成領域から遠ざかるにつれて高くなり、前記 β チャンネル型薄層トランジスタの半導体層は、チャンネル形成領域と、ソース領域またはドレイン領域を形成する第3の不純物領域と、該チャンネル形成領域に接し、この領域を形成する第4の不純物領域を有し、前記第4の不純物領域と第3の不純物領域とは、前記一導電型の不純物元素と一導電型とは逆の導電型の不純物元素を含むことを特徴とする半導体装置。

【請求項4】前記部を有する半導体装置において、前記前記部の各面層に設けられる少なくとも一方の電極と、 β スタは、 n 型半導体層と、該 n 型半導体層に接して形成された絶縁膜と、該絶縁膜の上にゲート電極を有するゲート電極とを有し、前記 n 型半導体層は、チャンネル形成領域と、一導電型の不純物元素を含むソース領域またはドレイン

領域を形成する第1の不純物領域と、該チャンネル形成領域に接し、この領域を形成する第2の不純物領域を有し、前記第2の不純物領域の一部はゲート電極と重ねて設けられ、該第2の不純物領域に含まれる前記一導電型の不純物元素の濃度は、前記チャンネル形成領域から遠ざかるにつれて高くなることを特徴とする半導体装置。

【請求項5】請求項1乃至請求項4のいずれか一項において、前記ゲート電極を有するゲート電極がゲート電極の角度は、 30° 度から 90° 度であることを特徴とする半導体装置。

【請求項6】請求項1乃至請求項4のいずれか一項において、前記ゲート電極を有するゲート電極は、タンダムゲート、タンダムゲートから選ばれた元素、または前記元素を成分とする化合物膜に含有されていることを特徴とする半導体装置。

【請求項7】半導体層上に絶縁膜を形成する第1の工程と、前記絶縁膜上に導電層を形成する第2の工程と、前記導電層を選択的にエッチングして第1のゲート形状を有する導電層を形成する第3の工程と、前記第3の工程の後に一導電型の不純物元素を前記半導体層にドーピングする第4の工程と、を有し、前記第1の工程でゲート形状を有する導電層を形成する第3の工程と、前記第4の工程でドーピングする一導電型の不純物元素の濃度は、前記第4の工程でドーピングする一導電型の不純物元素の濃度よりも低いことを特徴とする半導体装置の作製方法。

【請求項8】 α チャンネル型薄層トランジスタを有する半導体装置の作製方法において、前記 α チャンネル型薄層トランジスタを形成する半導体層上に絶縁膜を形成する第1の工程と、前記絶縁膜上に導電層を形成する第2の工程と、前記導電層を選択的にエッチングして第1のゲート形状を有する導電層を形成する第3の工程と、前記第3の工程の後に一導電型の不純物元素を前記半導体層にドーピングする第4の工程と、前記第4のゲート形状を有する導電層を選択的にエッチングして第1のゲート形状を有する導電層を形成する第5の工程と、前記第5の工程の後に一導電型の不純物元素を前記半導体層にドーピングする第6の工程と、を有し、前記第5の工程でドーピングする一導電型の不純物元素の濃度は、前記第6の工程でドーピングする一導電型の不純物元素の濃度よりも低いことを特徴とする半導体装置の作製方法。

【請求項9】 α チャンネル型薄層トランジスタと β チャンネル型薄層トランジスタを有する半導体装置において、前記 α チャンネル型薄層トランジスタと β チャンネル型薄層トランジスタを形成するそれぞれの半導体層上に絶縁膜を形成する第1の工程と、前記絶縁膜上に導電層を形成する第2の工程と、前記導電層を選択的にエッチングして

第1のテーパ形状を有する導電層を形成する第2の工程と、前記第3の工程の後に一導電型の不純物元素を前記半導体層にドーピングする第4の工程と、前記第1のテーパ形状を有する導電層を選択的にエッチングして第2のテーパ形状を有する導電層を形成する第5の工程と、前記第5の工程の後に一導電型の不純物元素を前記半導体層にドーピングする第6の工程と、前記第6の工程の後に一導電型の不純物元素をドーピングする第7の工程と、を有し、前記第6の工程でドーピングする一導電型の不純物元素の濃度は、前記第4の工程でドーピングする一導電型の不純物元素の濃度よりも低いことを特徴とする半導体装置の作製方法。

【請求項1】】画素部を有する半導体装置の作製方法において、前記画素部に画素に設けられる薄膜トランジスタを形成する半導体層上に絶縁膜を形成する第1の工程と、前記絶縁膜上に導電層を形成する第2の工程と、前記導電層を選択的にエッチングして第1のテーパ形状を有する導電層を形成する第3の工程と、前記第3の工程の後に一導電型の不純物元素を前記半導体層にドーピングする第4の工程と、前記第1のテーパ形状を有する導電層を選択的にエッチングして第2のテーパ形状を有する導電層を形成する第5の工程と、前記第5の工程の後に一導電型の不純物元素を前記半導体層にドーピングする第6の工程と、を有し、前記第6の工程でドーピングする一導電型の不純物元素の濃度は、前記第4の工程でドーピングする一導電型の不純物元素の濃度よりも低いことを特徴とする半導体装置の作製方法。

【請求項11】請求項7乃至請求項10のいずれか一項において、前記テーパ部を有するゲート電極のテーパ部の角度は、1)度〜10)度で形成することを特徴とする半導体装置の作製方法。

【請求項12】請求項7乃至請求項10のいずれか一項において、前記テーパ部を有するゲート電極は、タンタル、タンタル、チタンから選ばれた元素、または前記元素を成分とする化合物或いは合金で形成することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は絶縁表面を有する基板の上に薄膜トランジスタ（以下、TFTと記す）で構成された回路を有する半導体装置およびその作製方法に関する。特に本発明は、画素部と駆動回路を同一の基板上に設けた液晶表示装置または表示装置に代表される電気光学装置、およびそのような電気光学装置を搭載した電子機器に好適に利用できる技術を提供する。尚、本明細書において半導体装置とは、半導体特性を利用することで機能する装置全般を指し、上記電気光学装置およびその電気光学装置を搭載した機器をその範疇に含んでいる。

【0002】

【従来の技術】駆動素子を配列して画素部を構成した表示装置はアクティブマトリクス型表示装置と平ばれ、或は液晶表示装置やエレクトロニクスセンサ（以下、センサと記す）表示装置などが開発されている。駆動素子には絶縁ゲート型のトランジスタが用いられ、好適にはTFTが用いられている。TFTではガラスなどの基板上に気相成膜などにより半導体膜を形成し、その半導体膜でチャネル形成領域やソース領域やドレイン領域などを形成している。その半導体膜には、シリコン、ポリシリコン、ゲルマニウムなどシリコンを主成分とする材料が好適に用いられている。半導体膜はその作製法により、非晶質シリコンに代表される非晶質半導体膜と、多結晶シリコンに代表される結晶質半導体膜とに分類することができ、その他に近頃では単結晶シリコン基板上に形成された絶縁ゲート型のトランジスタで画素部を構成する技術も開発されている。

【0003】非晶質半導体（代表的には非晶質シリコン）膜で活性層を形成したTFTでは、非晶質構造などに起因する電子物性的要因から、 $10\text{ cm}^2/\text{V}\cdot\text{sec}$ 以上の電界効果移動度を得ることは殆ど不可能であった。そのため、マトリクス型の液晶表示装置では、画素部において液晶を駆動するためのスイッチング素子（この場合、チャネル素子）をTFTで形成したものを以下、画素TFTと記す。として使用することはできても、画像表示のための駆動回路を形成することは不可能である。従って、駆動回路はTAB（Tape Automated Bonding方式）やCOG（Chip on Glass方式）を使ってドライバICなどを実装する技術が用いられている。

【0004】一方、結晶構造を含む半導体（以下、結晶質半導体と記す。膜（代表的には、結晶質シリコン、或いは多結晶シリコン）を活性層としたTFTでは、高い電界効果移動度が得られることから各種の機能回路を形成して駆動させることが出来、同一のガラス基板上に画素TFTの他に駆動回路においてシフトレジスタ回路、レジスタ回路、バッファ回路、サンプリング回路などを実現することが可能となった。駆動回路は、nチャネル型TFTとpチャネル型TFTとから成るCMOS回路を基本として形成されている。このような駆動回路の実装技術が根拠となり、液晶表示装置において軽量化および薄型化を推進するためには、画素部の他に駆動回路を同一基板上に一体形成できる結晶質半導体層を活性層とするTFTが適していると考えられている。

【0005】

【発明が解決しようとする課題】TFTの特性から比較すると結晶質半導体層で活性層を形成した方が優れているが、画素TFTの他に各種回路に対応したTFTを作製するためには、その製造工程が複雑なものとなり工程数が増加してしまい問題がある。工程数の増加は製造コストの増加要因になるばかりか、製造歩留まりを低下さ

せる原因となることは明らかである。

【0008】画素TFTと駆動回路のTFTとでは、その回路の動作条件は必ずしも同一ではない。そのことからTFTに要求される特性も異なる。特に、チャンネル型TFTで形成される画素TFTでは、オフ電流値が低く、TFTがオフ動作時に流れるドレイン電流を十分に低くすることが要求されている。一方、駆動回路のバッファ回路などには高い駆動電圧が印加されるため、高電圧が印加されても壊れないように耐圧を高くすることが必要。また電流駆動能力を高めるためには、オフ電流値、TFTがオン動作時に流れるドレイン電流を十分確保する必要がある。

【0009】オフ電流値を低減するためのTFTの構造として、低濃度ドレイン(LDD: Lowly Doped Drain)構造が知られている。この構造はチャンネル形成領域と、高濃度の不純物元素を追加して成するイオン領域またはドレイン領域との間に低濃度の不純物元素を追加した領域を設けたものであり、この領域をLDD領域と呼んでいる。また、ホトキャリアによるゲート絶縁膜の劣化を防ぐための手段として、LDD領域をゲート絶縁膜を介してゲート電極と重ねて配置させた、いわゆるラミネート(Laminated)構造がある。このような構造とすることで、ドレイン近傍の高電界が緩和されてホトキャリア注入を防ぎ、劣化現象の防止に有効であることが知られている。

【0010】しかし、画素TFTと、スイッチング回路やバッファ回路などの駆動回路のTFTとでは、そのバイアス状態も必ずしも同じではない。例えば、画素TFTにおいてはゲートに大きな逆バイアス(高チャネル型TFTでは負の電圧)が印加されるが、駆動回路のTFTは基本的に逆バイアス状態で動作することはない。また、LDD構造はオフ電流値の劣化を防ぐ効果は高いが、単純にゲート電極と重ねて配置させるだけではオフ電流値が大きくなってしまふ。一方、通常のLDD構造はオフ電流値を抑える効果は高いが、ドレイン近傍の電界を緩和してホトキャリア注入による劣化を防ぐ効果は低い。このような問題は、特に結晶質シリコンTFTにおいて、その特性が向上し、またマルチゲートリクス型液晶表示装置に要求される性能が高まるほど顕在化してきている。従って、TFTの動作状態の違いを考慮して、かつ上記ホトキャリア効果を防ぐには、LDD領域の不純物濃度やその分布などを最適なものとする必要がある。

【0011】本発明はこのような問題点を解決するための技術であり、TFTを用いて作製するアクティブマトリクス型の表示装置に代表される半導体装置において、

各種回路に配置されるTFTの構造を、回路の機能に応じて適切なものにすることにより、半導体装置の動作特性および信頼性を向上させると共に、製造コストを削減して製造性、および低減および保管の利便性を向上させることを目的としている。

【0012】

【課題を解決するための手段】製造コストの低減および歩留まりを向上させるには、工程数を削減することが一つの手段として適用できる。具体的には、TFTの製造に要するフォトリソグラフィの工程数を削減することが必要である。フォトリソグラフィはフォトリソグラフィ技術において、エッチング工程のマスクとするレジストパターンを基板上に形成するために用いる。このフォトリソグラフィ工程を1枚使用することは、半導体装置の工程において、レジストを露光およびエッチングなどの工程の他に、レジストを露光、洗浄、乾燥工程などが追加され、フォトリソグラフィの工程においても、レジスト塗布、プレーク、露光、現像、ポストバークなどの煩雑な工程が行われることを意味する。

【0013】フォトリソグラフィ工程数を削減しても、各種回路に配置されるTFTの構造をその回路の機能に応じて適切なものとする。具体的には、画素部に設けるスイッチング素子用のTFTでは、動作速度よりもオフ電流値を低減させることに重点を置いた構造が望ましい。そのような構造として、マルチゲート構造を採用する。一方、高速度動作が要求される駆動回路に設けられるTFTでは、動作速度を高めること、それと同時に顕著な問題となるホットキャリア注入による劣化を抑制することに重点を置いた構造が必要となる。その構造として、LDD領域に工夫を加えて実現する。即ち、チャンネル形成領域とドレイン領域との間に設けるLDD領域において、ドレイン領域に近づくにつれて徐々に導電率制御用の不純物元素の濃度が高くなるような濃度勾配を持たせることにより、ドレイン領域近傍の空乏層において電界が集中するのを緩和する効果を高めることができる。LDD領域の一部はゲート電極と重ねるように設けても良い。

【0014】上記のような不純物元素の濃度勾配を有するLDD領域を形成するために、イオン化した導電率制御用の不純物元素を、電界で加速してゲート電極の一部とゲート絶縁膜とを兼ねて、ゲート電極と半導体層とに密着してその両者の間に設けられるゲート絶縁膜とゲート絶縁膜からその周辺領域に拡散する導電率を高めるゲート電極と称する。を通過させて、半導体層にドーピングする方法を用いる。さらに、ゲート電極の形状をゲート電極の両端から内側に向かって徐々に厚さが増加するいわゆるテーパー形状とし、その厚さの変化を利用して半導体層にドーピングする不純物元素の濃度を制御する。即ち、TFTのチャンネル長方向に亘って不純物元素濃度が徐々に変化するLDD領域を形成する。

【0015】具体的には、ゲート電極を形成する導電層

に対して第1のエッチング処理を行い、所定の領域の導電層を除去して半導体層上の一部の領域にゲート絶縁膜が露出させる。このとき導電層は内部から外部に向かって徐々に厚さが増加するテーパー形状とする。そして、一導電型の不純物元素を添加する第1のドーピング処理を行い、第1の低濃度不純物領域を形成を行う。ここで、前段に第1のエッチング処理と、第2のドーピング処理とを行い、第2の低濃度不純物領域を形成する。1、DD領域は第1と第2の低濃度不純物領域から形成される。この場合、第1のエッチング処理によってゲート電極の形状が確定し、第2のドーピング処理の条件を適当なものとすれば、DD領域の一部をゲート電極と重ねて設けることができる。

【0014】このように、本発明はエッチング処理とドーピング処理を複数回繰返して、DD領域を形成することの特徴がある。その結果、チャネル長方向に対して濃度の異なるLD領域を複数回形成することができる。LD領域の不純物濃度を段階的に変化させることができる。

【0015】ゲート電極を形成する導電層は耐熱性導電性材料を用いることが好ましい。タンタル（Ta）、W、タングステン（Ta）、チタン（Ti）から選ばれた元素または前記元素を成分とする合金または合金から形成する。このような耐熱性導電性材料を高濃度でドーピングして、さらに表面をテーパー形状とするためには、高濃度プラズマを用いたドーピング処理を適用することが好ましい。高濃度プラズマを導入手法には、マイクロ波や誘導結合プラズマ（Inductively Coupled Plasma: ICP）を用いたエッチング装置が選んでいる。時に、このエッチング装置はプラズマ制御が容易であり、基板の平面化にも対応できる。

【0016】以上のように、本発明の構成は、半導体層と、該半導体層に接して形成された絶縁膜と、該絶縁膜の上にテーパー状を有するゲート電極とを有する半導体装置において、半導体層は、チャネル形成領域と、一導電型の不純物元素を含むソース領域またはドレイン領域を形成する第1の不純物領域と、該チャネル形成領域に接しDD領域を形成する第2の不純物領域を有し、第2の不純物領域の一部はゲート電極と重ねて設けられ、該第2の不純物領域に含まれる一導電型の不純物元素の濃度は、チャネル形成領域から遠ざかるにつれて高くなることを特徴としている。

【0017】このような本発明の構成は、基板上にTFTを形成した半導体装置に好適に用いることができる。nチャネル型TFTとpチャネル型TFTを有する半導体装置においては、nチャネル型TFTの半導体層は、チャネル形成領域と、一導電型の不純物元素を含むソース領域またはドレイン領域を形成する第1の不純物領域と、該チャネル形成領域に接しDD領域を形成する第2の不純物領域を有し、第2の不純物領域の一部はゲート

電極と重ねて設けられ、該第2の不純物領域に含まれる前記一導電型の不純物元素の濃度は、チャネル形成領域から遠ざかるにつれて高くなる。pチャネル型TFTの半導体層は、チャネル形成領域と、ソース領域またはドレイン領域を形成する第1の不純物領域と、該チャネル形成領域に接しDD領域を形成する第2の不純物領域を有し、第2の不純物領域の一部はゲート電極と重ねて設けられ、該第2の不純物領域に含まれる前記一導電型の不純物元素の濃度は、チャネル形成領域から遠ざかるにつれて高くなることを特徴としている。

【0018】画素部を有する半導体装置においては、各画素に設けられる少なくとも一つのTFTの半導体層は、チャネル形成領域と一導電型の不純物元素を含むソース領域またはドレイン領域を形成する第1の不純物領域と、該チャネル形成領域に接しDD領域を形成する第2の不純物領域を有し、第2の不純物領域の一部はゲート電極と重ねて設けられ、該第2の不純物領域に含まれる前記一導電型の不純物元素の濃度は、チャネル形成領域から遠ざかるにつれて高くなることを特徴としている。

【0019】また、本発明の半導体装置の作製方法は、半導体層上に絶縁膜を形成する第1の工程と、絶縁膜上に導電層を形成する第2の工程と、導電層を選択的にエッチングして第1のテーパー状を有する導電層を形成する第3の工程と、第1の工程の後に一導電型の不純物元素を半導体層にドーピングする第4の工程と、第1の工程でテーパー状を有する導電層を選択的にエッチングして第2のテーパー状を有する導電層を形成する第5の工程と、第2の工程の後に一導電型の不純物元素を前記半導体層にドーピングする第6の工程とを有し、第6の工程でドーピングする一導電型の不純物元素の濃度は、第4の工程でドーピングする一導電型の不純物元素の濃度よりも低いことを特徴としている。

【0020】このような本発明の構成は、基板上にTFTを形成した半導体装置の作製方法に好適に用いることができる。nチャネル型薄膜トランジスタとpチャネル型薄膜トランジスタを有する半導体装置においては、それぞれの半導体層上に絶縁膜を形成する第1の工程と、絶縁膜上に導電層を形成する第2の工程と、導電層を選択的にエッチングして第1のテーパー状を有する導電層を形成する第3の工程と、第1の工程の後に一導電型の不純物元素を半導体層にドーピングする第4の工程と、第3の工程でテーパー状を有する導電層を形成する第5の工程と、第2の工程の後に一導電型の不純物元素を半導体層にドーピングする第6の工程とを有し、第6の工程でドーピングする一導電型の不純物元素の濃度は、第4の工程でドーピングする一導電型の不純物元素の濃度よりも低いことを特徴とし

ている。

【0021】画素部を有する半導体装置の作製方法においては、各画素に設けられるTFTを形成する半導体層上に絶縁膜を形成する第1の工程と、絶縁膜上に導電層を形成する第2の工程と、導電層を選択的にエッチングして第1のチャネル形状を有する導電層を形成する第3の工程と、第3の工程の後に導電層の不純物元素を半導体層にドーピングする第4の工程と、第1のチャネル形状を有する導電層を選択的にエッチングして第2のチャネル形状を有する導電層を形成する第5の工程と、第5の工程の後に導電層の不純物元素を半導体層にドーピングする第6の工程とを有し、第6の工程でドーピングする導電層の不純物元素の濃度は、第4の工程でドーピングする導電層の不純物元素の濃度よりも低いことを特徴としている。

【0022】

【発明の実施の形態】本発明の実施の形態を図1と図2を用いて説明する。図1(A)において、基板1001にはコーニングガラスなどのガラス基板1002が3.7ミリの厚さで代表されるバリウムホウケイ酸ガラスやアルミナガラス、酸ガラスなどガラス基板の他に、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエチレンサルファイド(PES)など化学的異性を有しないプラスチック基板を用いることができる。また、石英基板を用いても良い。ガラス基板を用いる場合には、ガラスの歪み点より100〜200℃程度低い温度であらかじめ熱処理しておく。その後、工程で基板が変形することを防ぐことができる。

【0023】基板1001のTFTを形成する表面に、基板1001からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜からなる下地膜1002を10〜200Åの厚さで形成する。下地膜は前記絶縁膜の1層で形成しても良いし、複数の層で形成しても良い。

【0024】島状半導体層1003は、非晶質構造を有する半導体膜をレーザアニール法や熱アニール法、またはラピッドサーマルアニール法(RTA法)などで結晶化させた結晶質半導体膜から形成する。また、アブタ法、プラズマCVD法、熱CVD法などで成した結晶質半導体膜から形成しても良い。或いは特開平1-306502号公報で開示された技術によって、触媒元素を用いた結晶化で結晶質半導体層1003を形成することもできる。結晶化の工程ではまず、非晶質半導体膜が含有する元素を放出させておくことが好ましく、400〜500℃で1時間程度の熱処理を行い含有する元素量を1atom以下にしてから結晶化させると膜表面の荒れを防ぐことができるので良い。いづれにしても、このように形成した結晶質半導体膜を選択的にエッチングして所定の場所に島状半導体層1003を形成する。

【0025】または、基板1001上に単結晶シリコン

層を形成したシリコン(Silicon)のInsulator(基板としても良い。シリコン基板にはその構造や作製方法によっていくつかの種類が知られており、代表的には、シリコン(Silicon Separation by Implanted Layer)と、EUT(RA)と、Epitaxial Layer Transfer(エピタキシャル層転写)基板(Marble)と、SOT(シリコン触媒転写)などを使用することができる。勿論、その他のシリコン基板を使用することも可能である。

【0026】ゲート絶縁膜はプラズマCVD法、スパッタ法、熱CVD法などにより、膜厚を10〜150Å加としてシリコンを含む絶縁膜で形成する。例えば、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜などから形成する。これを第1のゲート絶縁膜1004とする。そして、第1のゲート絶縁膜1004上にチャネル電極を形成するための導電層1005を形成する。この導電層1005は半導性を有する導電性材料から形成することが望ましく、導電層で形成しても良い。特に、要に応じて二層あるいは三層といった複数の層からなる積層構造としても良い。例えば、タンダム(Tandem)構造、タンタル(Ta)・チタン(Ti)、モリブデン(Mo)から選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜で形成する。また、これらの元素の化合物である窒化タ、ゲルチン(W)、窒化タンタル(Ta₃N₅)、窒化チタン(TiN)、窒化モリブデン(MoN)やシリサイド化合物であるタンダムシリサイド、タンタルシリサイド、チタンシリサイド、モリブデンシリサイドなどからなる積層構造を形成しても良い。そして、第1の形状パターン1006を形成する。第1の形状パターン1006はアウトラインパターン形成の技術を用いて、ガラス基板で形成する。

【0027】そして図1(B)で第1のエッチング処理を行う。このエッチング処理はチャネルエッチングであり、導電層1005を第1の形状パターン1006により局部にチャネル部が形成されるようにエッチング処理する。エッチング処理はドライエッチングを用い、好適にはICPエッチング装置を用いて行う。エッチングガスにはCF₄とC₂F₆の混合ガスを用い、基板にバイアス電圧を印加して行う。少なくとも島状半導体層1003上に第1のチャネル形状を有する導電層1008を形成する。チャネル部の前記は、エッチングガス量の割合、エッチング時の電力、基板間に印加するバイアス電圧によって変化させることができる。最もチャネル部を制御できるのは基板間に印加するバイアス電圧である。

【0028】ドライエッチングでは、酸素(O₂)や塩素(Cl₂)などの元素またはその元素を含む化合物の中性種やイオン種により行われる。通常、中性種によるエッチングが反応的であると半導性にエッチングが深いため、チャネル部は形成されにくくなる。基板間には真鍮の

【0029】ドライエッチングでは、酸素(O₂)や塩素(Cl₂)などの元素またはその元素を含む化合物の中性種やイオン種により行われる。通常、中性種によるエッチングが反応的であると半導性にエッチングが深いため、チャネル部は形成されにくくなる。基板間には真鍮の

ト、アス電圧を印加することにより異方性のニッチングが形成される。ゲート電極を形成するためのニッチングは、基板上にアス電圧を印加すると同時に、被膜レジストとのニッチング速度の差、選択比にも依存し、被膜のニッチング速度レジストのニッチング速度で表す。なお、一定の範囲のレジストを同時にニッチングし、レジストの形成するレジストの形状を適したものであることにより、レジストの端部が徐々にニッチングされ、下地にある被膜にゲート電極を形成することができる。第1の形状のアス100(1)の形状も変化する。第1の形状のアス100(1)が形成される。また、ニッチングの進捗と導電層100(2)のニッチングによるゲート絶縁膜100(4)の表面が露出され、ゲート絶縁膜も表面からある程度ニッチングされて第2の形状のゲート絶縁膜100(5)が形成される。

【0024】その後、ステップ100(3)をマスクとして、第2のドーピング処理を行い、島状半導体層100(1)に一導電型の不純物元素を添加する。ドーピング処理は不純物元素をイオン化し電界で加速して半導体層に注入するイオンドーピング法を用いて行う。一導電型の不純物元素はゲート絶縁膜を通してその下の半導体層に添加する。一部は一導電型の不純物元素はゲート電極が形成された第1のゲート電極を有する導電層100(1)の端部及びその近傍を通してその下の半導体層に添加することができる。

【0025】第1の不純物領域100(1)には一導電型の不純物元素の濃度が $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度で含まれるようにする。また、第2の不純物領域100(2)は第1の不純物領域100(1)と比較して、第2の形状のゲート絶縁膜100(5)の厚さが増加する分半導体層に添加される不純物元素の濃度が低下し、第2の不純物領域100(2)においてほぼ均一な濃度分布を取り得ないが、 $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度範囲で不純物元素が添加されるようにする。

【0026】図1(B)において点線で囲んだ領域100(3)の拡大図を図2(A-1)に示す。また、図2(A-2)は不純物元素の濃度分布を任意の単位量で模式的に表す図であり、不純物領域はゲート絶縁膜とゲート電極のゲート電極の下に形成される。不純物元素の濃度分布は線100(3)で示され、第1の不純物領域100(1)から遠ざかるにつれ減少する。この減少の割合は、ステップにおける加速電圧やドーピング量の条件、ゲート電極の角度、材料の特性、ゲート電極の形状の異なりによって異なっている。

【0027】次に、ステップ100(4)のように第2のニッチング処理を行う。第2のニッチング処理は異方性ニッチングであり、第1の形状を有するゲート電極100(1)のチャネル長方向の幅を短くするようにニッチングする。ニッチングの方法は、第1のニッチング処理と同じでありICPニッチング装置を用いる。ニッチングガス

には同様に CF_4 と C_2F_4 の混合ガスを用い、基板上にアス電圧を印加して行い、第2のゲート電極を有する導電層100(5)を形成する。第2のニッチング処理においても下地であるゲート絶縁膜の一部が露出し、ニッチングされることにより第2の形状のゲート絶縁膜100(6)が形成される。図1(C)の点線で囲んだ領域100(4)の拡大図を図2(B-1)に示す。第2のゲート電極を有する導電層100(5)の端部にもゲート電極が形成されるものの、チャネル長方向の幅を短くすることに重点を置いたニッチングのためゲート電極の角度は小さくも大きくなる。

【0028】そして、ステップ100(5)をマスクとして、第3のゲート電極処理を行い、島状半導体層100(1)に一導電型の不純物元素を添加する。この場合、一部の不純物元素は第2のゲート電極を有する導電層100(5)の端部及びその近傍を通してその下の半導体層に添加することができる。

【0029】第3のゲート電極処理では、半導体層100(1)に $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度で一導電型の不純物元素が含まれるようにする。図2(B-2)にも示すように、この処理では第3のゲート電極処理で形成された第3の不純物領域100(3)と第2の不純物領域100(2)にも重ねて一導電型の不純物元素が添加されるが、添加量が低いためその影響を無視することができる。新に形成される第3の不純物領域100(3)には一導電型の不純物元素の濃度が $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度で含まれるようにする。第2の不純物領域100(2)には第2のゲート電極を有する導電層100(5)の厚さが増加する分半導体層に添加される不純物元素の濃度が低下し、第2の不純物領域100(2)に均一な濃度分布を取り得ないが上記濃度範囲で不純物元素が含まれるようにする。

【0030】第3の不純物領域100(3)は第2の形状のゲート絶縁膜100(6)と第3のゲート電極を有する導電層100(6)の下に形成される。不純物元素の濃度分布は線100(4)で示され、第3の不純物領域100(3)から遠ざかるにつれ減少する。第2のゲート電極を有する導電層100(5)はゲート電極として用いる。このように、ゲート電極の端部をゲート電極として、ゲート電極を通して不純物元素をドーピングすることにより、ゲート電極の下に存在する半導体層中に、徐々に前記不純物元素の濃度が低下するよう不純物領域を形成することができる。本発明はこのような不純物領域を積極的に活用する。このように不純物領域を形成することにより、ドレイン領域近傍に発生する高電界を緩和して、ホットキャリアの発生を防ぎ、FETの劣化を防止することができる。

【0031】以上のようにして、島状半導体層100(1)にソース領域またはドレイン領域となる第1の不純物領域、ゲート電極と重ならないLDD領域を形成する第2

の不純物領域（A）、ゲート電極と一部が重なるシリコン領域を形成する第2の不純物領域（B）及びチャンネル形成領域（C）が形成される。その後、図1（D）に示すように、必要に応じて窒素地膜102を形成し、一層領域または、イオン領域とコンタクトを形成する配線103を形成して完成。

【0007】

【実施例】実施例1）本発明の実施例を図1～図5を用いて説明する。ここでは、集電部の面素トドトおよび保持容量に、前素部で周辺に設けられる駆動回路のTFTを同時に作製する方法について工程によって詳細に説明する。

【0008】図2（A）において、基板101にはコーニング社製SiO₂（ガラス組成No.17）ガラスなどに代表されるシリコンホウケ、酸ガラスやアルミノホウ酸ガラスなどのガラス基板やセラミックス基板などを用いる。ガラス基板を用いる場合には、ガラス基板よりも10～20℃程度低い温度でありかつ熱処理しておいても良い。そして、基板101上TFTを形成する表面に、基板101からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜102を形成する。例えば、プラズマCVD法でSiH₄、N₂H₄、N₂Oから作製される酸化窒化シリコン膜102aを0.2～0.6μm（好ましくは0.3～0.5μm）の厚さに、H₂、N₂Oから作製される酸化窒化窒素シリコン膜102bを0.5～2.0μm（好ましくは1.0～1.5μm）の厚さに積層形成する。ここでは下地膜102を二層構造として示したが、前記絶縁膜の単層膜または二層以上の積層させて形成しても良い。

【0009】酸化窒化シリコン膜は平行平板型のプラズマCVD法を用いて形成する。酸化窒化シリコン膜102aは、SiH₄を1.0SCCM、N₂H₄を1.0SCCM、N₂Oを2.0SCCMとして反応室に導入し、基板温度325℃、反応圧力4.0Pa、放電電力密度0.41W/cm²、放電周波数50MHzとした。一方、酸化窒化窒素シリコン膜102bは、SiH₄を5SCCM、N₂Oを1.2SCCM、N₂H₄を1.2SCCMとして反応室に導入し、基板温度400℃、反応圧力2.0Pa、放電電力密度0.41W/cm²、放電周波数50MHzとした。これらの膜は、基板温度を変化させ、反応ガスの切り替えのみで連続して形成することができる。

【0010】このようにして作製した酸化窒化シリコン膜102aは、密度が 2.5×10^{-20} g/cm³であり、フッ化水素アンモニア（NH₄F）を7～10wt%（重量）に希釈したモニウム（NH₄F）を15～40wt%含む混合溶液（スチラキメチル化型、商品名LA1500）の0.01～0.05におけるエッチング速度が約0.3nm/minと速く、極めて硬い膜である。このような膜を下地膜に用いると、この上に形成する半導体層にガラス基板からのアルカリ金

属元素が拡散するのを防ぐのに有効である。

【0011】次に、25～500℃（好ましくは300～500℃）で非晶質構造を有する半導体層103aを、プラズマCVD法やスパッタ法などの方法で形成する。非晶質構造を有する半導体層には、非晶質半導体層や微結晶半導体膜があり、非晶質シリコン（アモルファスシリコン）などの非晶質構造を有する化合物半導体膜を適用しても良い。プラズマCVD法で非晶質シリコン膜を形成する場合には、下地膜102と非晶質半導体層103aとは兩者を連続して形成することも可能である。例えば、前述のように酸化窒化シリコン膜102aと酸化窒化窒素シリコン膜102bをプラズマCVD法で連続して成膜後、反応ガスをSiH₄、N₂O、N₂H₄からSiH₄とH₂（あるいはH₂のみ）に切り替えれば、一旦大気雰囲気中に露出することなく連続形成できる。その後、酸化窒化窒素シリコン膜102bの表面の汚染を防ぐことが可能となり、作製するTFTの特性（スレッショルド値電圧の変動）を低減させることができる。

【0012】そして、結晶化の工程を行い非晶質半導体層103aから結晶質半導体層103bを作製する。その方法としてレーザアニール法や熱アニール法（面相成長法）、またはラジカルアニール法（RTA法）を適用することができる。前述のようなガラス基板や耐熱性の高いセラミックス基板を用いる場合には、特にレーザアニール法を適用することが好ましい。RTA法では、炉内加熱炉、ハロゲンランプ、メタルハライドランプ、キセノンランプなどを光源に用いる。或いは特開2001-100617号公報で開示された技術に従って、熱媒元素を用いる結晶化法で結晶質半導体層103bを形成することもできる。結晶化の工程ではまず、非晶質半導体層が含有する元素を放出させておくことが好ましく、【0013】で1時間程度の熱処理を行い、含有する元素量を5at.以下にしてから結晶化させると膜表面の荒れを防ぐことができるので良い。

【0014】また、プラズマCVD法で非晶質シリコン膜の形成工程において、反応ガスにSiH₄とアルゴン

A₁を用い、成膜時の基板温度を400～450℃として形成すると、非晶質シリコン膜の含有元素量を5at.以下にすることもできる。このような場合において元素を放出させるための熱処理は不要となる。

【0015】結晶化をレーザアニール法で行う場合には、パルス発振型または連続発振型のエキシマレーザーやアルゴンレーザーをその光源とする。パルス発振型のエキシマレーザーを用いる場合には、レーザー光を焦点に集めて、レーザーアニールを行う。レーザーアニール条件は実施者や適宜選択するものである。例えば、レーザーパルス発振周波数3（H₂と）、レーザーエネルギー密度を1.00～5.00J/cm²（代表的には3.00～4.00J/cm²）とする。そして導状ビームを基板全面に渡って照射し、この時の導状ビームの直径を1mm

オーバーラップ部を $3\mu\text{m}$ 〜 $9\mu\text{m}$ として行う。このようにして図3(B)に示すように結晶質半導体層1103を得ることができる。

【0044】そして、結晶質半導体層1103上に第1のフォトリソマスク1104を用い、フォトリソグラフィ技術を用いてレジストパターンを形成し、ドライエッチングによって結晶質半導体層を厚さに分割し、図1(B)に示すように島状半導体層1105〜1109を形成する。結晶質シリコン膜のドライエッチングには CF_4 と H_2 の混合ガスを用いる。

【0045】このような島状半導体層に対し、TFTのしきり電圧 V_{th} を制御する目的で SiO_2 型を付与する不純物元素を、 $1 \times 10^{16} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 程度の濃度の島状半導体層の全面に添加しても良い。半導体に対して p 型を付与する不純物元素には、ボロン(B)、ゲルマニウム(Ge)、ガリウム(Ga)など周期律表第13族の元素が知られている。その方法として、イオン注入法やオゾンドーピング法(あるいは、オゾン・エッチング・ドーピング法)を用いることができるが、前面積基板を処理するには、エッチング法が適している。エッチング法では、トリガシ(Trigase)をソースガスとして用い、ボロン(B)を添加する。このような不純物元素の注入は必ずしも必要でないが、省略しても差し支えないが、特に n チャネル型TFTのしきり電圧を所定範囲内に収めるために好適に用いる手法である。

【0046】ゲート絶縁膜1109はプラズマCVD法またはスパッタ法を用い、膜厚を $40 \sim 150 \text{ nm}$ としてシリコンを含む絶縁膜で形成する。本実施例では、120 nmの厚さで酸化窒化シリコン膜から形成する。また、 SiH_4 と N_2O に O_2 を添加させて作製された酸化窒化シリコン膜は、膜中の固定電荷密度が低減されているのでこの用途に対して好ましい材料となる。また、 SiH_4 と N_2O と H_2 とから作製する酸化窒化シリコン膜はゲート絶縁膜との界面欠陥密度を低減できるので好ましい。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法で、TEOS (Tetraethyl Ortho Silicate) と O_2 を混合し、圧力を4 Pa、基板温度 $300 \sim 400^\circ\text{C}$ とし、高周波 13.56 MHz 、電力密度 $0.5 \sim 1.5 \text{ W/cm}^2$ で放電させて形成することができる。このようにして作製された酸化シリコン膜は、その後 $400 \sim 500^\circ\text{C}$ の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0047】そして、図3(C)に示すように、第1のしきりゲート絶縁膜1109上にゲート電極を形成するための耐熱性導電層1111を $20 \text{ nm} \sim 40 \text{ nm}$ 、好ましくは $25 \text{ nm} \sim 35 \text{ nm}$ の厚さで形成する。耐熱性導電層は単層で形成しても良いし、必要に応じて二層あるいは

三層あるいは複数の層からなる積層構造としても良い。本明細書では耐熱性導電層には Ti 、 TiN 、 W 、 Mo から選ばれた元素、または前記元素を成分とする合金か、前記元素を混合させた合金膜が含まれる。これらの耐熱性導電層はスパッタ法やCVD法で形成されるものであり、低抵抗化を図るために含有する不純物量を低減させることが好ましい。特に不純物量に関しては $1 \times 10^{18} \text{ cm}^{-3}$ 以下にとると良い。本実施例ではW膜を 30 nm の厚さで形成する。W膜はWターゲットを用いてスパッタ法で形成しても良いし、エッチングタングステン(WFS)を用いて熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の低抵抗率は $20 \text{ m}\Omega\text{cm}$ 以下にすることが望ましい。W膜は結晶粒を大きくすることによって低抵抗化を図ることができ、W中に酸素などの不純物元素が少い場合には結晶粒が遷移され高抵抗化する。このことから、スパッタ法による場合、純度99.999999%のWターゲットを用い、さらに成膜時に気相中から不純物を取り除くように十分に配慮してW膜を形成することにより、低抵抗率 $9 \sim 20 \text{ m}\Omega\text{cm}$ を実現することができる。

【0048】一方、耐熱性導電層1111にT₃膜を用いる場合には、前様にスパッタ法で形成することが可能である。T₃膜はスパッタ法にArを用いる。また、スパッタ時のプラズマ中に窒素の N_2 や N_2O を加えておくこと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。このため膜の低抵抗率は $20 \text{ m}\Omega\text{cm}$ 程度でありゲート電極に使用することができるが、2相のT₃膜の低抵抗率は $180 \text{ m}\Omega\text{cm}$ 程度でありゲート電極とするには不向きであった。T₃膜は Ti 相に近い結晶構造を持つので、T₃膜の下地にT₃N膜を形成すれば2相のT₃膜が容易に得られる。また、図示しないが、耐熱性導電層1111の下に $20 \sim 200 \text{ nm}$ 程度の厚さでシリコン(P)をドーピングしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、耐熱性導電層1111が微量に含有するシリコンが金属元素が第1の形状のゲート絶縁膜1109に拡散するのを防ぐことができる。いずれにしても、耐熱性導電層1111は低抵抗率を $10 \sim 50 \text{ m}\Omega\text{cm}$ の範囲ですることが好ましい。

【0049】次に、第2のフォトリソマスク1105を用い、フォトリソグラフィ技術を使用してレジストによるマスク1113〜1117を形成する。そして、第1のエッチング処理を行う。本実施例では、 CF_4 ・ C_2F_4 ・ H_2 の混合ガスを用い、エッチング用ガスの CF_4 ・ C_2F_4 ・ H_2 の圧力を $4 \sim 12 \text{ Pa}$ 、 W/cm^2 ・RF(13.56 MHz)電力を投入してプラズマを形成して行う。基板側(エッチャ)にも $2 \sim 10 \text{ W/cm}^2$ ・RF(13.56 MHz)電力を投入し、これにより実質的に負の自己バイアス効果が増加される。この条件でW膜のエッチング速度は $0.1 \sim 0.3 \text{ nm/min}$

のである。第1のニッチング処理はこのニッチング速度を基準としてW膜がちょうどニッチングされる時間を推定し、それよりもニッチング時間を20%増加させた時間をニッチング時間とした。

【0051】第1のニッチング処理により第1のテーパー形状を有する導電層140～145が形成される。図2(a)に示すと同様にテーパー部の角度は15～30°が形成される。残量を残すことなくニッチングするためには、10～20%程度の割合でニッチング時間を増加させるオーバーニッチングを施すものとする。W膜に対する酸化窒化シリコン膜（第1の形状のゲート絶縁膜110）の選択比は3～4が代表的には3であるので、オーバーニッチング処理により、酸化窒化シリコン膜が露出した面は20～40%程度ニッチングされ、第1のテーパー形状を有する導電層の端部近傍にテーパー形状が形成された第2の形状のゲート絶縁膜134が形成される。

【0052】そして、第1のドーピング処理を行い、導電型の不純物元素を第1の半導体層に添加する。ここでは、n型を付与する不純物元素添加の工程を行う。第1の形状の導電層を形成したマスク112～117をそのまま残り、第1のテーパー形状を有する導電層140～145をマスクとして自己整合的にn型を付与する不純物元素を、ランバード法で添加する。n型を付与する不純物元素をゲート電極の端部におけるテーパー部とゲート絶縁膜を通して、その下に位置する半導体層に達するように添加するためにドーパ量を $1 \times 10^{13} \sim 5 \times 10^{14} \text{ atoms/cm}^2$ 、加速電圧を300～600 keVにして行う。n型を付与する不純物元素として15秒に露出する元素。典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いた。このようなイオンドーピング法により、第1の不純物領域124～125には、 $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^2$ の濃度範囲でn型を付与する不純物元素が添加され、テーパー部の下方に形成される第2の不純物領域(A)には同領域内で、必ずしも均一ではないが、 $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^2$ の濃度範囲でn型を付与する不純物元素が添加される。

【0053】この工程において、第2の不純物領域(A)は129～133において、少なくとも第1の形状の導電層140～145と重なった部分に含まれるn型を付与する不純物元素の濃度変化は、テーパー部の傾斜変化を反映する。即ち、第2の不純物領域(A)は129～133に添加されるリン(P)の濃度は、第1の形状の導電層に重なる領域において、導電層の端部から内側に向かって徐々に濃度が低くなる。これはテーパー部の傾斜の差によって、半導体層に達するリン(P)の濃度が変化するためであり、その濃度変化は図2(A-2)で示した通りである。

【0054】次に、図4(B)に示すように第2のニッチング処理を行う。ニッチング処理も同様にICレニッ

チング装置により行い、ニッチング速度は10～20%の割合で基準をとり、R/F電力は100～150 W、

イオン電力は500～1000 W、エッチングガスでニッチングを行う。この中で形成される第2の形状を有する導電層140～145が形成される。その端部にはテーパー部が形成され、該端部が内側に向かって徐々に厚さが増加するテーパー形状となる。第1のニッチング処理と比較して基板側に添加するイオン電力を低くした非等方性ニッチングの割合が多くなり、テーパー部の角度は30～60°となる。また、第2の形状のゲート絶縁膜134の表面に40%程度ニッチングされ、新たに第2の形状のゲート絶縁膜137が形成される。【0055】そして、第1のドーピング処理よりもドーパ量を10%加速電圧の条件でn型を付与する不純物元素をドーピングする。例えば、加速電圧を700～1000 keVとし、 $1 \times 10^{14} \sim 1 \times 10^{15} \text{ atoms/cm}^2$ のドーパ量で行い、第2の形状を有する導電層140～145と重なる領域の不純物濃度を $1 \times 10^{19} \sim 1 \times 10^{20} \text{ atoms/cm}^2$ となるようにする。このようにして、第2の不純物領域(B)は140～145を形成する。

【0056】pチャネル型FETを形成する島状半導体層104、105に導電型とは逆の導電型の不純物領域150a、150bを形成する。この場合も第2の形状の導電層140、145をマスクとしてn型を付与する不純物元素を添加し、自己整合的に不純物領域を形成する。このとき、nチャネル型FETを形成する島状半導体層104、107、108は、第1のフォトリソグラフィ工程を用いて104aのマスク117～119を形成し全面を被覆しておく。ここで形成される不純物領域150a、150bは150a、150bを用いたランバード法で形成する。不純物領域150a、150bのn型を付与する不純物元素の濃度は、 $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^2$ となるようにする。

【0057】しかしながら、この不純物領域150a、150bは詳細にはn型を付与する不純物元素を含有する3つの領域に分けて見ることができる。第3の不純物領域156a、157aは $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^2$ の濃度でn型を付与する不純物元素を含み、第4の不純物領域(A)156b、157bは $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^2$ の濃度でn型を付与する不純物元素を含み、第4の不純物領域(B)156c、157cは $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^2$ の濃度でn型を付与する不純物元素を含んでいる。しかし、これらの不純物領域156b、156c、157b、157cのn型を付与する不純物元素の濃度を $1 \times 10^{19} \text{ atoms/cm}^2$ 以上となるようにし、第3の不純物領域150a、150bにおいては、n型を付与する不純物元素の濃度を 1×10^{20} から3倍となるようにすることにより、第3の不純物領域でpチャネル型FETでソース領域およびドレイン領域として機能するために何ら問題は生じない。また、第

4の不純物領域16、15より、157は一部が第2のチャネル形成を有する導電層142または142と一部が重なって形成される。

【0053】その後、図5(A)に示すように、ゲート電極およびゲート絶縁膜上から第1の層間絶縁膜154を形成する。第1の層間絶縁膜は酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。いずれにしても第1の層間絶縁膜154は無機絶縁材料から形成する。第1の層間絶縁膜154の膜厚は100nm～200nmとする。ここで、酸化シリコン膜を用いる場合には、プラズマCVD法でE/SとO₂を混合し、反応圧力4(Pa)、基板温度300～400℃とし、高周波10～50MHz、電力密度(1～5)W/cm²で放電させて形成することができる。また、酸化窒化シリコン膜を用いる場合には、プラズマCVD法でS(H₄、N₂O、NH₃)から作製される酸化窒化シリコン膜、またはS(H₄、N₂O)から作製される酸化窒化シリコン膜で形成すれば良い。この場合の作製条件は反応圧力20～200Pa、基板温度300～400℃とし、高周波100MHz、電力密度0.1～1.0W/cm²で形成することができる。また、S(H₄、N₂O、H₂)から作製される酸化窒化水素化シリコン膜を適用しても良い。窒化シリコン膜も同様にプラズマCVD法でS(H₄、N₂H₄)から作製することが可能である。

【0054】そして、それぞれの領域で添加されたn型またはp型を付与する不純物元素を活性化させる工程を行う。この工程はフォトリソグラフィ法を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラビッドサーミアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が1ppm以下、好ましくは、1ppm以下の窒素雰囲気中で100～700℃、代表的には500～600℃で約10分間である。本実施例では500℃で4時間の熱処理を行った。また、基板101に耐熱温度が低いプラズマCVD法を用いる場合にはレーザーアニール法を適用することが好ましい。

【0055】活性化の工程に続いて、雰囲気ガスを変化させ、3～100%の水素を含む雰囲気中で、300～450℃で1～2時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により島状半導体層にある10¹⁶～10¹⁸/cm³のダメージドープを排除する工程である。水素化の他の手段として、プラズマ水素化、プラズマにより励起された水素を用いる、を行っても良い。いずれにしても、島状半導体層101～103中の欠陥密度を10¹⁶/cm³以下とすることが望ましい。そのために水素を0.01～1.1atmに程度付与すれば良い。

【0056】このように、第2の層間絶縁膜を有機絶縁材料で形成することにより、表面を良好に平坦化させ

ることができる。また、有機絶縁材料は一般に誘電率が低く、寄生容量を低減することができる。しかし、活性性がその保護膜としては適さないため、本実施例のように、第1の層間絶縁膜154を形成した酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜などを組み合わせて用いると良い。

【0057】その後、第4のフォトリソマスク156を用い、所定のパターン化、レジストマスクを形成し、それぞれの島状半導体層に形成されるソース領域またはドレイン領域とする不純物領域に連するコンタクトホールを形成する。コンタクトホールはドライエッチング法で形成する。この場合、エッチングガスにF₄、F₂、H₂の混合ガスを用い有機絶縁材料から成る第2の層間絶縁膜154をまずエッチングし、その後、続いてエッチングガスをF₄、F₂にして第1の層間絶縁膜154をエッチングする。さらに、島状半導体層との選択比を高めるために、エッチングガスをO₂に切り替えて第3の領域のゲート絶縁膜174をエッチングすることによりコンタクトホールを形成することができる。

【0058】そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、第5のフォトリソマスク158によりレジストマスクパターンを形成し、エッチングによってパターンの160～164のエッチング膜165～168を形成する。画素電極165はドレイン領域と一層に形成される。画素電極171は隣の画素に属する画素電極を表している。図示しては無いが、本実施例ではこの配線を、T1膜を50～150nmの厚さで形成し、島状半導体層のソースまたはドレイン領域を形成する不純物領域にコンタクトを形成し、そのT1膜上に重ねてアルミニウム(A1)を100～400nmの厚さで形成(図5(C))において160a～169aで示す)。さらにその上に透明導電膜を50～120nmの厚さで形成(図5(C))において160b～169bで示す)。また、透明導電膜には酸化インジウム酸と亜鉛合金(In₂O₃:ZnO)、酸化亜鉛(ZnO)も適した材料であり、さらに可視光の透過率や導電率を高めるためにゲリウム(Ge)を添加した酸化亜鉛(ZnO:Ge)などを好適に用いることができる。

【0059】このように、次のフォトリソマスクにより、第1の基板上に、駆動回路のTFTと画素部の画素TFTとを有した基板を完成させることができる。駆動回路には第1のpチャネル型TFT200、第1のnチャネル型TFT201、第2のpチャネル型TFT202、第2のnチャネル型TFT203、画素部には画素TFT204、保持容量C05が形成されている。この基板では便宜上このような基板をアクティブマトリクス基板と称する。

【0060】駆動回路の第1のpチャネル型TFT200には、第2のチャネル形成を有する導電層142と電極209としての機能を有し、島状半導体層101に付

り1の第2の不純物領域(B)202aとはポットチャネルが重なり、電圧を重視した構造となっている。さらに、散在を高い動作を安定化させるために、図1(A)で示すようにこのゲート回路部のTFTを第1のpチャネル型TFTで201と第2のnチャネル型TFTで202で形成しても良い。このTFT間は、ソース・ドレイン間に2つのゲート電極を設けたダブルゲート構造であり、このようなTFTでは熱処理の工程を用いて同様に作製できる。第1のpチャネル型TFT(201)には、島状半導体層にチャネル形成領域203a、203b、ソースまたはドレイン領域として機能する第3の不純物領域203c、203d、203e、LDD領域となる第4の不純物領域(A)204a、204b、204c、204d及びゲート電極204eの一部が重なりLDD領域となる第4の不純物領域(B)205a、205b、205c、205dを有した構造となっている。第2のnチャネル型TFT(202)には、島状半導体層にチャネル形成領域204a、204b、ソースまたはドレイン領域として機能する第1の不純物領域204c、204d、204e、LDD領域となる第2の不純物領域(A)205a、205b、205c、205d及びゲート電極204eの一部が重なりLDD領域となる第2の不純物領域(B)206a、206b、206c、206dを有している。チャネル長は3〜7 μ mとして、ゲート電極と重なりLDD領域を h としてそのチャネル長方向の長さは、 $h/2 \sim 3/4$ 、 0.1μ mとする。

【0074】また、アナログスイッチで構成するサンプル・アンド・ホールド回路には、同様な構成とした第2のpチャネル型TFT201と第2のnチャネル型TFT202を適用することもできる。サンプル・アンド・ホールド回路と低オフ電流動作が重視されるので、図1(B)で示すようにこの回路のTFTを第2のpチャネル型TFTで201と第2のnチャネル型TFTで202で形成しても良い。この第1のpチャネル型TFT(201)は、一対のソース・ドレイン間に3つゲート電極を設けたトリプルゲート構造であり、このようなTFTは本実施例の工程を用いて同様に作製できる。第2のpチャネル型TFTで202には、島状半導体層にチャネル形成領域204a、204b、204c、ソースまたはドレイン領域として機能する第3の不純物領域204d、204e、204f、204g、204h、204i、204j、LDD領域となる第4の不純物領域(A)205a、205b、205c、205d、205e、205f、205g、205h、205i、205j及びゲート電極204kの一部が重なりLDD領域となる第4の不純物領域(B)206a、206b、206c、206d、206e、206f、206g、206h、206i、206jを有した構造となっている。第2のnチャネル型TFT(202)には、島状半導体層にチャネル形成領域203a、203b、ソースまたはドレイン領域として機能する第1の不純物領域203c、203d、203e、203f、203g、203h、203i、203j、LDD領域となる第2の不純物領域(A)204a、204b、204c、204d、204e、204f、204g、204h、204i、204j及びゲート電極204kの一部が重なりLDD領域となる第2の不純物領域(B)205a、205b、205c、205d、205e、205f、205g、205h、205i、205j

とする。このTFTを有している、チャネル長は3〜7 μ mとして、ゲート電極と重なりLDD領域を h としてそのチャネル長方向の長さは、 $h/2 \sim 3/4$ 、 0.1μ mとする。

【0075】このように、本発明のゲート電極の構成をダブルゲート構造とするか、複数のゲート電極を一対のソース・ドレイン間に設けたトリプルゲート構造とするかは、回路の特性に応じて実施者が適宜選択すれば良い。そして、本実施例で完成したTFTチップは、ガラス基板を用いることで反射型の液晶表示装置を作製することができる。

【0076】【実施例2】【実施例1ではゲート電極の材料にWやTaなどの耐熱性導電材料を用いる例を示した。このような材料を用いる場合は、ゲート電極形成後に導電層の制御を目的として半導体層に添加した不純物元素を $1000 \sim 7000$ の熱アニールによって活性化させる必要があり、その工程を実施する上でゲート電極に耐熱性を持たせる必要があるからである。しかしながら、このような耐熱性導電材料は面抵抗値が 100Ω 程度あり、画面サイズが4.3インチ以上がそれ以上の表示装置には必ずしも適していない。ゲート電極に接続するゲート線と同じ材料で形成すると、基板上における引回し長さが必然的に大きくなり、配線抵抗の影響による配線遅延の問題を無視することができなくなる。

【0077】例えば、画素密度がVGAの場合、4.3インチのゲート配線と6.1インチのソース線が形成され、VGAの場合には $100 \sim 200$ 本のゲート配線と $100 \sim 200$ 本のソース配線が形成される。したがって画面サイズは、1.0インチから2.0インチの場合、ゲート線の長さは 0.40 mmとなり、4.3インチの場合は 1.60 mmとなる。本実施例ではこのような液晶表示装置を実現する手段として、ゲート配線をA、や銅(Cu)などの低抵抗導電性材料で形成する方法について図2を用いて説明する。

【0078】まず、実施例1と同様にして図3(A)〜図4(C)に示す工程を行う。そして導電層の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーストアニールを用いる熱アニール法で行う。その他に、シーザーアニール法、またはギルドメーモリアニール法、RTP法)を適用することもできる。熱アニール法では酸素濃度が 100 ppm以下、好ましくは、 10 ppm以下の酸素雰囲気中で $400 \sim 700^\circ\text{C}$ で、代表的には $500 \sim 600^\circ\text{C}$ で行うことができ、本実施例では 500°C で1時間の熱処理を行う。

【0079】この熱処理において、第2のpチャネル状態を有する導電層 $140 \sim 145$ は表面から $0.5 \sim 5 \mu$ mの厚さで導電層(C)147a、147bが形成される。例えば、第2のpチャネル状態を有する導電層がWの場合には、酸化タングステンが形成され、この場合には酸化タングステンの形成される。さらに、 $3 \sim 100$ Åの酸素

できるアクティブマトリクス基板を6枚のフォトマスクにより作製したが、さらに1枚のフォトマスクの追加。

合計6枚で、透過型の液晶表示装置に対応したアクティブマトリクス基板を形成させることができる。本実施例では、実施例1と同様な工程として説明したが、このような構成は実施例2で示すアクティブマトリクス基板に適用することができる。

【0087】[実施例4]本実施例では、実施例1～実施例3で示したアクティブマトリクス基板のTFTが活性層を形成する結晶質半導体層以外の作製方法について示す。結晶質半導体層は非晶質半導体層を熱アニール生やレーザアニール法、またはRTA法などの結晶化させて形成するが、その他に時間700～1000℃で10分間を開示されている触媒元素を用いる結晶化法を適用することもできる。その場合の例を図12を用いて説明する。

【0088】図12(A)で示すように、実施例1と同様に、ガラス基板1201上に下地膜1202a、1202b、非晶質構造を有する半導体層1203を25～40nmの厚さで形成する。非晶質半導体層は非晶質シリコン(a-Si)膜、非晶質シリコンゲルマニウム(a-SiGe)膜、非晶質炭化シリコン(a-SiC)膜、非晶質シリコンスズ(a-Si₃Sn)膜などを適用できる。これらの非晶質半導体層は水素を0.1～4atome程度含有するように形成すると良い。例えば、非晶質シリコン膜を5nmの厚さで形成する。そして、重量換算で1～4ppmの触媒元素を含む水溶液をスピナーで基板を回転させて塗布する。コート法で触媒元素を含有する層1204を形成する。触媒元素にはニッケル(Ni)、ゲルマニウム(Ge)、鉄(Fe)、パラジウム(Pd)、スズ(Sn)、鉛(Pb)、コバルト(Co)、白金(Pt)、銅(Cu)、金(Au)などである。この触媒元素を含有する層1204は、スピコート生か他に印刷法やスプレー法、バーコート法、或いはスピンコート法や真空蒸着法によって上記触媒元素の層を1～5nmの厚さに形成しても良い。

【0089】そして、図12(B)に示す結晶化工程では、まず400～500℃で1時間程度の熱処理を行い、非晶質シリコン膜の含有水素量をatomic%以下にする。非晶質シリコン膜の含有水素量が0%未満において最初からこの値である場合にはこの熱処理は必ずしも必要でない。そして、ウェルステアール炉を用い、酸素雰囲気中で500～600℃で1～3時間の熱アニールを行う。以上の工程により結晶質シリコン膜からなる結晶質半導体層1205を得ることができる(図12(C))。しかし、この熱アニールによって作製された結晶質半導体層1205は、光学顕微鏡観察により巨視的に観察すると局所的に非晶質領域が残存していることが観察されることがあり、このような場合、同様にラマン分光法では430cm⁻¹にブロードなピークを持つ非

晶質成分が観察される。そのため、熱アニールの後に実施例1で説明したレーザアニール法で結晶質半導体層1205を処理してその結晶性を高めることは有効な手段として適用できる。

【0090】図12では同様に触媒元素を用いた結晶化法の実施例であり、触媒元素を含有する層をスパッタ法により形成するものである。まず、実施例1と同様に、ガラス基板1201上に下地膜1202a、1202b、非晶質構造を有する半導体層1203を25～40nmの厚さで形成する。そして、非晶質構造を有する半導体層1203の表面に、5～50nm程度の酸化膜(図12c)を形成する。このような厚さの酸化膜は、プラズマCVD法やスパッタ法などで積極的に該当する被膜を形成しても良いが、100～200℃に基板を加熱してプラズマ化した酸素雰囲気中に非晶質構造を有する半導体層1203の表面を晒しても良い。過酸化水素(H₂O₂)を含む溶液に非晶質構造を有する半導体層1203の表面を晒して形成しても良い。或いは、酸素を含む雰囲気中で紫外線を照射してオゾンが発生させ、そのオゾン雰囲気中に非晶質構造を有する半導体層1203を晒すことによっても形成できる。

【0091】このようにして表面に導、酸化膜を有する非晶質構造を有する半導体層1203上に前記触媒元素を含有する層1204をスパッタ法で形成する。この層の厚さに限定はないが、10～100nm程度の厚さに形成すれば良い。例えば、Niをターゲットとして、10V膜を形成することは有効な方法である。スパッタ法では、電界で加速された前記触媒元素が形成の高エネルギー粒子が一部が基板側にも飛来し、非晶質構造を有する半導体層1203の表面近傍、または非晶質半導体層表面に形成した酸化膜中に打ち込まれる。その割合はプラズマ生成条件や基板のバイアス状態によって異なるものであるが、好適には非晶質構造を有する半導体層1203の表面近傍や酸化膜中に打ち込まれる触媒元素の量を1×10¹¹～1×10¹⁴atoms/cm²程度となるようにすると良い。

【0092】その後、触媒元素を含有する層1204を選択的に除去する。例えば、この層がNi膜で形成されている場合には、硝酸などの溶液で除去することが可能であり、または、フッ酸を含む水溶液で処理すればNi膜と非晶質構造を有する半導体層1203とに形成した酸化膜を同時に除去できる。いずれにしても、非晶質構造を有する半導体層1203の表面近傍で触媒元素の量を1×10¹¹～1×10¹⁴atoms/cm²程度となるようにしておく。そして、図12(B)で示すように、図12(C)と同様に熱アニールによる結晶化工程を行い、結晶質半導体層1205を得ることができる(図12(D))。

【0093】図12または図17で作製された結晶質半導体層1205、1205から晶状半導体層1204～1

1) を作製すれば、実施例1と同様にしてアクティブマトリクス基板を完成させることができる。しかし、結晶化工程においてシリコンの結晶化を助長する触媒元素を使用した場合、易が半導体層中の含量 $(1 \times 10^{-17} \sim 1 \times 10^{-11})$ (atoms/cm³) 程度の触媒元素が残留する。勿論、そのような状態でも半導体を完成させることが可能であるが、残留する触媒元素が少ないとチャネル形成領域から除去する方がより好ましい。この触媒元素を除去する手段の一つとして、FETによるゲタリング作用を利用する手段がある。

【0044】この目的にかなるプロセスによるゲタリング処理は、図14(A)で説明した活性化工程で同時に実行することができる。この様子を図15で説明する。ゲタリングには必要ない領域の濃度は高濃度の型不純物領域の不純物濃度と同程度でよく、活性化工程の熱処理により、nチャネル型TFTおよびpチャネル型TFTでのチャネル形成領域の触媒元素をその濃度で10⁻¹⁷以下に含有する不純物領域が偏析させることができる(図13で示す矢印の方向)。その結果その不純物領域は $(1 \times 10^{-17} \sim 1 \times 10^{-11})$ (atoms/cm³) 程度の触媒元素が偏析した。このようにして作製したTFTはオフ電流値が低く、結晶性が良いことから電界効果移動度が高くなり、良好な特性を達成することができる。本実施例の構成は、実施例1～3と組み合わせることができる。

【0045】「実施例5」本実施例では実施例1で作製したアクティブマトリクス基板から、アクティブマトリクス液晶表示装置を作製する工程を説明する。まず、図14(A)に示すように、図14(B)の状態のアクティブマトリクス基板に柱状スパーサから成るスパーサを形成する。スパーサは放電法の粒子を散布して設ける方法でも良いが、ここでは基板全面に樹脂膜を形成した後これをパターン化して形成する方法を採用した。このようにスパーサの材料に限定はないが、例えば、J.S.R社製のDN700を用い、スピンコートした後露光と現像処理によって所定のパターンに形成する。さらにクレープアップなどで150℃～200℃で加熱して硬化させる。このようにして作製されるスパーサは露光と現像処理の条件によって形状を異ならせることができる。好ましくは、スパーサの形状は全体で頂部が平坦な形状となるようにすると、対向側の基板を合わせたときに液晶表示パネルとして機械的な強度を確保することができる。形状は円錐状、角錐状など特別の限定はない。例えば円錐状としたときに具体的には、高さを1.0～5.0mmとし、平均半径を3～7mm、平均半径と底面の半径との比を、対1.0とする。このとき側面のチャネル角は20°以下とする。

【0046】スパーサの配置は任意に決定すれば良い。好ましくは、図14(A)で示すように、画素部においては画素電極169のコンタクト部231と重ねて

その部分を覆うように柱状スパーサ170を形成する。また、コンタクト部231とは重合性が与えられこの部分では液晶がうまく配向しないから、このようにしてコンタクト部231にスパーサを用いる塗布を透過する部分に柱状スパーサ170を形成することでアクティブマトリクス液晶を透過させることができる。また、駆動回路のTFTの上にもスパーサ170を形成しておくと、このスパーサは駆動回路部の全面に覆って形成しても良い。図14で示すようにノイズ線およびライン線を重ねるようにして設けても良い。

【0047】その後、配向膜171を形成する。通常液晶表示装置の配向膜にはすりばき塗布を用いる。配向膜を形成した後、ラビング処理をして液晶分子がある一定の方向に配向させるようにした。画素部に設けた柱状スパーサ170の頂部からラビング方向に対してラビングされない領域が20μm以下となるようにした。また、ラビング処理では静電気の発生がしばしば問題となるが、駆動回路のTFT上に形成したスパーサ406(a)～406(b)により静電気がTFTを保護する効果を得ることができる。また図7で説明しないが、配向膜171を先に形成してから、スパーサ406、406(a)～406(b)を形成した構成としても良い。

【0048】対向側の対向基板101には、透光膜400、透明電極層401および配向膜404を形成する。透光膜400はT膜、C膜、A膜などを150～300nmの厚さで形成する。そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシーラ剤403で貼り合わせる。シーラ剤403にはフレイマー(図示せず)が混入されており、このフレイマーとスパーサ406、406(a)～406(b)によって密な間隙を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料405を注入する。液晶材料には公知の液晶材料を用いれば良い。例えば、TN液晶の他、電場に対して透過率が連続的に変化する電気光学応答性を示す、無しきい値反転誘電性混合液晶を用いることもできる。この無しきい値反転誘電性混合液晶には、V字型の電気光学応答特性を示すものもある。このようにして図14(B)に示すアクティブマトリクス型液晶表示装置が完成する。

【0049】図15はこのようなアクティブマトリクス基板の上面図を示し、画素部および駆動回路部とスパーサおよびゲート線の位置関係を示す上面図である。実施例1で述べたガラス基板101の上に画素部600の周辺に駆動回路部として走査信号駆動回路601、映像信号駆動回路602が設けられている。さらに、ゲートラインやデータラインなどの信号処理回路603も併せて設けても良い。そして、これらの駆動回路は接続配線604によって外部の出力端子605と接続されている。画素部604では走査信号駆動回路601から送られるゲート駆動線603と映像信号駆動回路602から送られるデータ

配線群ら014がマトリクス状に交互して画素を形成し、各画素にはそれぞれ画素用TFT211と保持容量215が設けられている。

【0114】図14において画素部において設けられた駆動スベージ411は、すべての画素に対して設けられても良いが、図15で示すようにマトリクス状に配列した画素の数個から数十個おきに設けられても良い。即ち、画素部を構成する画素の全数に対するスベージ数の割合は211より高くなることも可能である。また、駆動回路部に設けられたスベージ411の211より高きはその全数を覆うように設けられても良い。各TFT中のノースおよびグレイ配線の位置にあわせて設けられても良い。図15では駆動回路部に設けられたスベージの配置を611〜613で示す。そして、図15が示す例のうち、基板111上の画素部614および走査信号駆動回路615、画像信号駆動回路616、その他の信号処理回路617の外周であって、外部入力端子612よりも外側に形成する。

【0115】このようなアクティブマトリクス型液晶表示装置の構成を図16の斜視図を用いて説明する。図16においてアクティブマトリクス基板は、ガラス基板111上に形成された、画素部614とその他の信号処理回路617と、画像信号駆動回路615とその他の信号処理回路617とで構成される。画素部614には画素TFT211と保持容量215が設けられ、画素部の周辺に設けられる駆動回路はCMOS回路を基本として構成されている。走査信号駆動回路615と画像信号駆動回路616からはそれぞれゲート線（ゲート電極と連続して形成されている場合は図5（B）の214に相当する）とソース線116が画素部614に延在し、画素TFT211に接続している。また、フレキシブルプリント配線板（Flexible Printed Circuit: FPC）613は外部入力端子612に接続して画像信号などを入力するのに用いる。FPC613は補強部614によって強固に接着されている。そして接続配線613でそれぞれ駆動回路に接続している。また、方向基板111には図示していない透光膜や透明電極が設けられている。

【0116】このような構成の液晶表示装置は、実施例1〜3で示したアクティブマトリクス基板を用いて形成することができる。実施例1で示すアクティブマトリクス基板を用いれば反射型の液晶表示装置が得られ、実施例3で示すアクティブマトリクス基板を用いると透過型の液晶表示装置を得ることができる。

【0117】（実施例6）図18は実施例1〜3で示したアクティブマトリクス基板の回路構成の一例であり、直視型の表示装置の回路構成を示す図である。このアクティブマトリクス基板は、画像信号駆動回路616、走査信号駆動回路（A）（B）615、画素部614を有している。尚、本明細書中において記した駆動回路とは画像信号駆動回路616、走査信号駆動回路615を含

めた回路である。

【0118】画像信号駆動回路616は、シフトレジスタ回路616a、レギュレクタ回路616bと、111のマトリクス回路616cの各セグメントに駆動電圧を印加する。また、走査信号駆動回路（A）（B）615は、シフトレジスタ回路615a、レギュレクタ回路615bと、マトリクス回路616cを構成している。

【0119】シフトレジスタ回路615a、616aの111は駆動電圧1.5〜3.0V（代表的には1.8V）であり、この回路を構成するCMOS回路のTFTでは、図5（B）の第1のnチャネル型TFT211と第1のpチャネル型TFT212で形成する。或いは、図5（A）で示す第1のpチャネル型TFT213と第1のnチャネル型TFT214とで形成しても良い。また、レギュレクタ回路615b、616bはシフトレジスタ回路615a、616aより高電圧の電源1.5〜3.0V（駆動電圧が1〜1.6Vと高くなるので図5（A）で示すようなマルチゲートのTFTを構成することが望ましい。マルチゲート構造でTFTを構成すると耐圧が高まり、回路の信頼性を向上させる上で有効である。

【0120】サンプルン回路617はアナログスイッチから成り、駆動電圧が1.4〜1.6Vであるが、極性が交互に反転して駆動される上、オフ電圧値を低減させる必要があるため、図5（B）で示す第2のpチャネル型TFT215と第2のnチャネル型TFT216とで形成することが望ましい。或いは、オフ電圧値を効果的に低減させるために図5（B）で示す第2のチャネル型TFT215と第2のチャネル型TFT216とで形成しても良い。

【0121】また、画素部は駆動電圧が1.4〜1.6Vであり、低消費電力の観点からサンプルン回路617をさらにオフ電圧値を低減することが要求され、図5（B）で示す画素TFT214のようにマルチゲート構造を基本とする。

【0122】尚、本実施例の構成は、実施例1〜3に示した工程に従ってTFTを作製することによって容易に実現することができる。本実施例では、画素部と駆動回路の構成のみを示しているが、実施例1〜3の工程に従えば、その他にも信号分割回路、分周波回路、DACコンバータと補正回路、オペアンプ回路、さらに入力回路や演算処理回路などの信号処理回路、あるいは論理回路を同一基板上に形成することが可能である。このように、本発明は同一基板上に画素部とその駆動回路とを含む半導体装置（例えば信号制御回路および画素部）を具備した液晶表示装置を実現することができる。

【0123】（実施例7）本実施例では、実施例6のアクティブマトリクス基板を用いてエレクトロニメッセンス（EL:Electroluminescence）材料を用いた自発光型の表示パネル（以下、EL表示装置と記す）を作製する例について説明する。図19（A）は本発明を用いたEL表示パネルの上面図である。図19（A）におい

て、11は基板、12は画素部、13はソース駆動回路、14はデータ駆動回路であり、それぞれが駆動回路は図14～16を経てFET17に至り、本部回路へと接続される。

【0110】図19（B）は図19（A）のA-A断面を表す図であり、このとき、図19（A）のA-A断面は駆動回路及び画素部に対応する断面を、対向板（1）はシールド層であり、FET17とE1層が形成されているアクティブマトリクス基板と貼の合わされている。シールド層にはフラー（図示せず）が侵入されており、このフラーによりほぼ均一な間隔を持って2枚の基板が貼り合わされている。さらに、シールド層の外側はFET17の上面及び周辺は封止剤（18）で密封する構造とする。封止剤（18）はシリコン樹脂、エポキシ樹脂、フェノール樹脂、ブチゴムなどの材料を用いる。

【0111】このように、シールド層によりアクティブマトリクス基板（1）と対向基板（10）が貼り合わされると、その間には空間が形成される。その空間には空填剤（8）が充填される。この空填剤（8）は対向板（3）を保護する効果も兼ね持つ。空填剤（8）はPVC（ポリビニルクロライド）、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラール）またはEVA（エチレンビニルアセテート）などを用いることができる。また、E1層は酸素をはき出し湿気に弱く劣化しやすいので、この空填剤（8）の内部に酸化バリウムなどの乾燥剤を侵入させておき吸湿効果を保持できるように望ましい。また、E1層上に酸化シリコン膜や酸化窒化シリコン膜などで形成するバリア層（シバーク）膜（2）を形成し、空填剤（8）に含まれるアルカリ元素などによる腐蝕を防ぐ構造とすることができる。

【0112】対向板（3）にはガラス板、アルミニウム板、炭素繊維板、FRP（Fiberglass-Reinforced Plastic）板、PVP（ポリビニルアルコール）フィルム、マイラーフィルム、デュポン社の商品名、ポリエステリフィルム、アクリルフィルムまたはアクリル板などを用いることができる。また、数ミクロンのアルミニウム箔をPVPフィルムやマイラーフィルムで挟んだ構造のシートを用い、耐湿性を高めることもできる。このようにして、E1素子は密閉された状態となり外気から遮断されている。

【0113】また、図19（B）において基板（10）下地層（11）上に駆動回路用FET（但し、ここではnチャネル型FETとpチャネル型FETを組み合わせたC4（4）色路を図示している。1122及び画素部用FET（1121）但し、ここではE1素子への電流を制御するFETで図示している。）が形成されている。これらのFETの内部にはnチャネル型FETにはホストキャリア効果によるオン電流の低下や、Vthシフトやバイアスドリフトによる特性低下を防ぐため、本実施形態で示す構

成と同じ構造が設けられている。

【0114】例えば、駆動回路用FET（1121）及び画素部用FET（1122）は、図19（B）に示すnチャネル型FETとpチャネル型FET（1121）とを有すれば良い。また、画素部用FET（1122）には図19（B）に示す画素部FET（1121）またはそれと同等な構造を有するnチャネル型FETを用いれば良い。

【0115】図19（B）または図19（A）が示すアクティブマトリクス基板からE1表示位置を形成するには、フラー層、ドレイン層上に絶縁材料となる層間絶縁膜（2）を形成し、その上に画素部用FET（1121）及びE1層と電気的に接続する透明導電膜となる画素電極（2）を形成する。透明導電膜としては、酸化インジウムと酸化ガリウム化合物（ITO）と平称する。または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極（2）を形成したら、絶縁膜（2）を形成し、画素電極（2）上に開口部を形成する。

【0116】次に、E1層（2）を形成する。E1層（2）は化合物のE1材料（正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層）を自由に組み合わせる積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、E1材料には低分子系材料と高分子系（ポリマー系）材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の異なる方法を用いることが可能である。

【0117】E1層はレーザーマスクを用いて蒸着法、またはインクジェット法、ディスペンサー法等で形成する。いずれにしても、画素毎に波長の異なる発光が可能な発光層（赤色発光層、青色発光層及び青色発光層）を形成することで、カラー表示が可能となる。その他にも、色変換層（CCM）とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光のE1表示位置とすることもできる。

【0118】E1層（2）を形成したら、その上に陰極（3）を形成する。陰極（3）とE1層（2）の界面に存在するバキュームは極力排除しておくことが望ましい。従って、真空中でE1層（2）と陰極（3）を連続して形成するか、E1層（2）を不活性雰囲気中形成し、大気開放しないで真空中で陰極（3）を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式、クラスターツール方式）の成膜装置を用いることで上記のような成膜が可能とする。

【0119】なお、本実施例では陰極（3）として、LiF（フッ化リチウム）膜とAl（アルミニウム）膜の積層構造を用いる。具体的にはE1層（2）の上に蒸着で10nmのLiF（フッ化リチウム）膜を形成し、その上に（3）0.1μmのアルミニウム膜を形成する。勿論、公知の

好ましくは40〜150nmとすればよい。但し、以上の例は発光層として用いることができる有機EL材料の一例であって、これに限定する必要はない。発光層、電荷輸送層または電荷注入層を自由に組み合わせることで、発光及びその他のキャリアの移動を行わせるための層を形成すればよい。例えば、本実施例ではポリカーボネート材料を発光層として用いるが、低分子有機EL材料を用いてもよい。また、電荷輸送層や電荷注入層として炭化水素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【1.1.2】本実施例では発光層41の上下にP型及びN型シリコン（以下、それぞれ「P型シリコン」と「N型シリコン」と呼ぶ）を、正孔注入層42を設けた積層構造とした層を有している。そして、正孔注入層42の上には透明導電膜である陽極51が設けられる。本実施例の場合、発光層41で生成された光は上面側に向かって、TFT27の上方に向かって放射される。陽極は透光性でなければならぬ。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した上で形成するため、可能な限り低温で成膜できるものが好ましい。

【1.1.3】陽極47で形成された時点でEL素子24-1が形成される。なお、ここでいうEL素子24-0.5は、画素電極（陰極）43、発光層45、正孔注入層46及び陽極47で形成されたコンデンサを指す。図23(A)に示すように画素電極43は画素の面積にほぼ一致するため、画素全体がEL素子として機能する。従って、発光効率が高くなり、明るい画像表示が可能となる。

【1.1.2.2】ところで、本実施例では、陽極47の上にさらに第2のインジウム酸化物層52を設けている。第2のインジウム酸化物層52としては酸化亜鉛または酸化酸化亜鉛層が好ましい。この目的は、外部とEL素子とを遮断することであり、有機EL材料の酸化による劣化を防ぐ意味と、有機EL材料からの脱ガスを抑える意味との両方を併せ持つ。これによりEL表示装置の信頼性が高められる。

【1.1.3】以上のように本実施例のEL表示パネルは図21のような構造で画素からなる画素部を有し、オペアンプ電圧値が十分に低いスイッチング用TFT27と、ソースキャリアを生成し電流制御用TFT28とを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能なEL表示パネルが得られる。

【1.1.4】図21(B)はEL層の構造を反転させた例を示す。電流制御用TFT26-1は図5(B)のpチャネル型TFT27-0を用いて形成される。作製プロセスでは実施例1を参照すればよい。本実施例では、画素電極（陽極）51として透明導電膜を用いる。具体的に

は酸化インジウムと酸化亜鉛との化合物である導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物である導電膜を用いてもよい。

【1.1.5】そして、絶縁膜である、例えば、シリコン酸化物膜が形成された後、基板表面により、シリコン酸化物膜となる発光層52が形成される。その上にはインジウム酸化物膜（例えば、ITO）が形成される。図21(B)に表記されるように、電荷注入層43、アルミニウム合金である陰極54が形成される。この場合、陰極54がインジウム酸化物膜としても機能する。このようにEL素子24-0.2が形成される。本実施例の場合、発光層52で発生した光は、矢印で示されるようにTFT27で形成された基板の方向に向かって放射される。本実施例のような構造とする場合、電流制御用TFT27-1はpチャネル型TFT27で形成することも好ましい。

【1.1.6】尚、本実施例の構成は、実施例1〜2のTFT27の構成を自由に組み合わせることで実装することが可能である。また、実施例2の電子機器の表示部として本実施例のEL表示パネルを用いることは有効である。

【1.1.7】「実施例3」本実施例では、図21(B)に示した回路図とは異なる構造の画素とした場合の例について図22に示す。なお、本実施例において、27-0.1はスイッチ、27-0.2はソース配線、27-0.3はスイッチング用TFT27-0.2のゲート配線、27-0.4は電流制御用TFT、27-0.5はコンデンサ、27-0.6、27-0.8は電源供給線、27-0.7はEL素子とする。

【1.1.8】図22(A)は、二つの画素間で電源供給線27-0.8を共通とした場合の例である。即ち、二つの画素が電源供給線27-0.8を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精密化することができる。

【1.1.9】また、図22(B)は、電源供給線27-0.8をゲート配線27-0.3と平行に設けた場合の例である。なお、図22(B)では電源供給線27-0.3とゲート配線27-0.3とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線27-0.8とゲート配線27-0.3とで専有面積を共有させることができるため、画素部をさらに高精密化することができる。

【1.1.10】また、図22(C)は、図22(B)の構造と同様に電源供給線27-0.8をゲート配線27-0.3と平行に設け、さらに、二つの画素を電源供給線27-0.8を中心に線対称となるように形成する点に特徴がある。また、電源供給線27-0.3をゲート配線27-0.3のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精密化することができる。【1.1.11】

によりW膜のエッチング速度並びにレジストのエッチング速度が向上するので、図29に示す条件で形成された材料の寸法が細くなっている。しかし、酸化窒化シリコン膜の膜厚の減少量が見ると、条件2の方が大きく選択加工によって優れていると判断することができる。

【0163】以上の異なる異方性エッチングから、第1のエッチング処理と第2のエッチング処理において、エッチング液としてF₂とC₂F₄の混合ガスを採用することができる。このようなエッチング液が好ましく選択したとしても、C₂F₄とC₂F₆とを用いるか、異方性エッチングとするかは基板側に印加するバイアス電力の制御により行うことができる。

【0164】実際のTFTにおいてLDDが設計は、W膜の膜厚と、第1のエッチング処理によるチャネル角θ₁と、第2のエッチング処理によるレジストのエッチング量から見積もることができる。例えば、図1において、W膜の厚さが4.0nmである場合、第1のエッチング処理により形成されるチャネル部の角度θ₁が30度とすると、第2の不純物領域(A)1211のチャネル長方向の長さhは7.0nmとなる。第2のエッチング処理によるレジストの減少量は表2より4.4nm/m、であるのでそれを考慮すると3.2nmのLDDLo(1)が形成されると見積もることができる。実際には膜厚やエッチング速度に多少のばらつきがあるので、多少の増減はあるが、このようなエッチング処理により約1μmのLDDを形成することができる。

【0165】図1は第1のエッチング処理として表2の条件を採用し、第2のエッチング処理として表2の条件を採用して作製されたTFTのゲート電圧(V_g)、ドレイン電流(I_d)特性を示す。TFTの寸法はチャネル長7.0μm、チャネル幅8.0μmであり、LDD(Loff)は1.2μmが見積もられている。図3はnチャネル型TFTの特性を示し、LDD(Loff)によりゲート電圧-4.5V、ドレイン電圧14Vの時のオフ電流は6.5pAが得られている。

【0170】

【発明の効果】本発明を用いることで、同一の基板上に複数の機能回路が形成された半導体装置（ここでは具体的には電気光学装置）において、その機能回路が要求する仕様に於て適切な性能のTFTを配置することが可能となり、その動作特性を大幅に向上させることができる。

【0171】本発明の半導体装置の作製方法に従えば、駆動回路部のpチャネル型TFT、nチャネル型TFTおよび画素TFTをゲート電極と一重なるLDD構造としたアクティブマトリクス基板を5枚のフォトリソで製造することができる。LDD領域がn導電型の不純物元素の濃度を適したものとすることができる。このようなアクティブマトリクス基板から反射型の液晶表示装置を作製することができる。また、同工程に従えば透過

型の液晶表示装置を5枚のフォトリソで製造することができる。

【0172】本発明の半導体装置の作製方法に従えば、ゲート電極を耐熱性導電性材料で形成し、ゲート配線を低抵抗導電性材料で形成したTFTにおいて、駆動回路部はnチャネル型TFT、pチャネル型TFTおよび画素TFTをゲート電極と重なるLDD構造としたアクティブマトリクス基板を5枚のフォトリソで製造することができる。このようなアクティブマトリクス基板から反射型の液晶表示装置を作製することができる。また、同工程に従えば、透過型の液晶表示装置を5枚のフォトリソで製造することができる。

【図面の簡単な説明】

【図1】 本発明のTFTの作製方法を説明する図。

【図2】 図1に対応したLDD領域の不純物元素の濃度分布を説明する図。

【図3】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図4】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図5】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図6】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図7】 駆動回路のTFTと画素TFTの構造を示す上面図。

【図8】 駆動回路のTFTと画素TFTの構造を示す断面図。

【図9】 駆動回路のTFTの構成を示す断面図。

【図10】 画素TFTの構成を示す断面図。

【図11】 画素部の画素を示す上面図。

【図12】 結晶質半導体層の作製工程を示す断面図。

【図13】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図14】 アクティブマトリクス型液晶表示装置の作製工程を示す断面図。

【図15】 液晶表示装置の出力端子、配線、回路配置、スパーサ、シーリットの配置を説明する上面図。

【図16】 液晶表示装置の構造を示す斜視図。

【図17】 結晶質半導体層の作製工程を示す断面図。

【図18】 アクティブマトリクス型表示装置の回路構成を説明するブロック図。

【図19】 EL表示装置の構造を示す上面図及び断面図。

【図20】 EL表示装置の画素部の断面図。

【図21】 EL表示装置の画素部の上面図と回路図。

【図22】 EL表示装置の画素部の回路図の例。

【図23】 半導体装置の一例を示す図。

【図24】 半導体装置の一例を示す図。

【図25】 投影型液晶表示装置の構成を示す図。

【図26】 エッチング時間と酸化窒化シリコン膜の膜厚の減少量を示すグラフ。

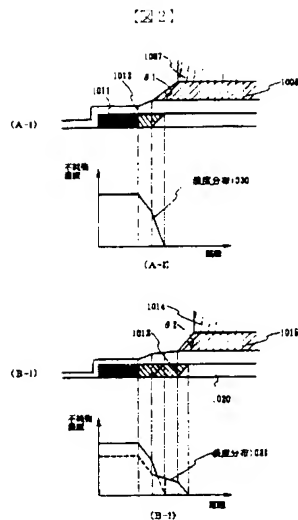
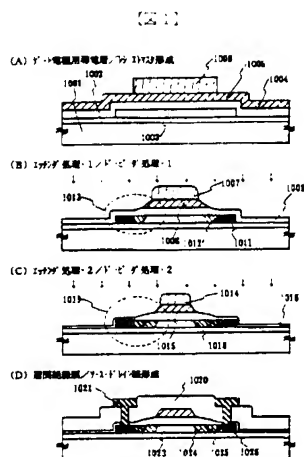
【図27】 第1のエッチング処理により加工されるW膜の断面形状を示すSEM像。

【図28】 C₄F₄とC₂F₄の混合ガスをを用いた第2のエッチング処理により加工されるW膜の断面形状を示すSEM像。

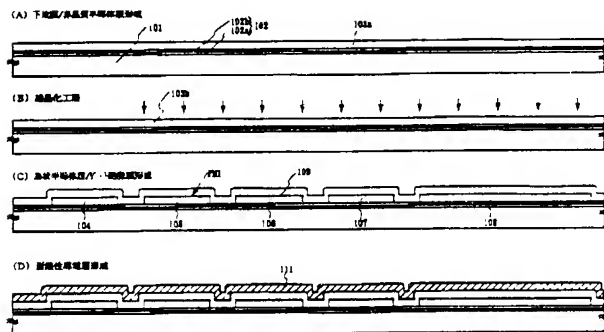
SEM像。

【図29】 C₄F₄とC₂F₄の混合ガスをを用いた第2のエッチング処理により加工されるW膜の断面形状を示すSEM像。

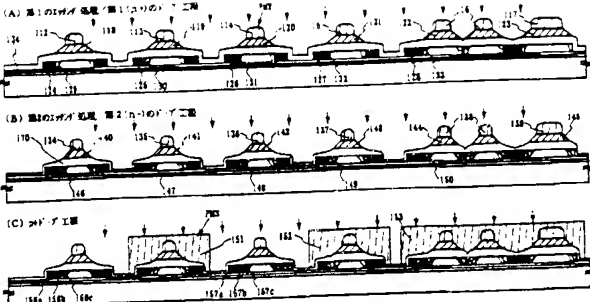
【図30】 TTFの特性を示すグラフ。



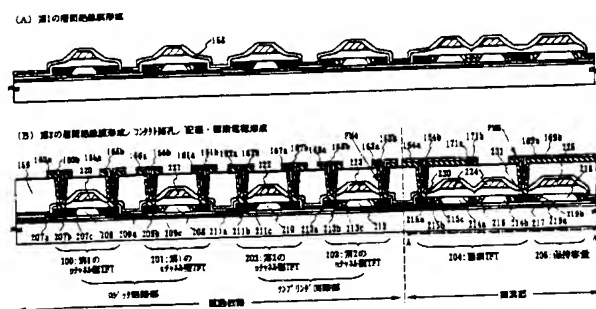
【図3】



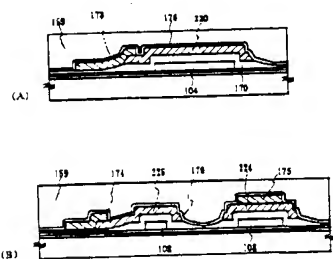
2014



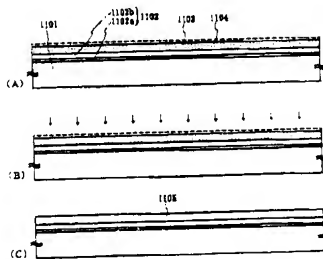
[图 5]



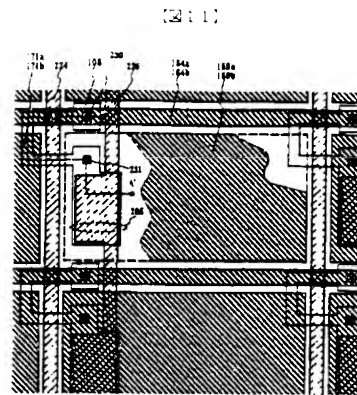
【例 8】



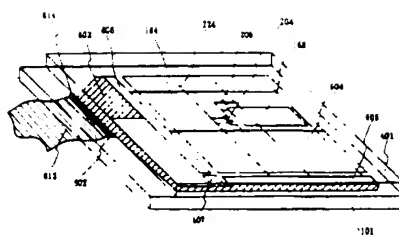
【图 1-2】



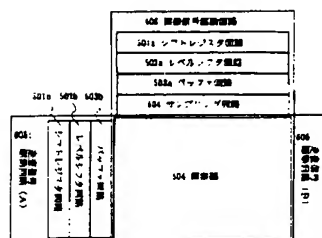
【图 10】



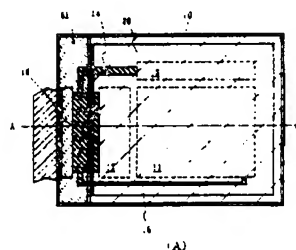
53:59



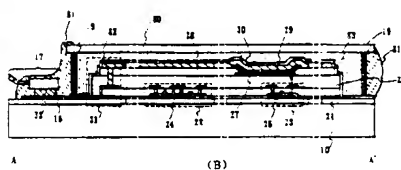
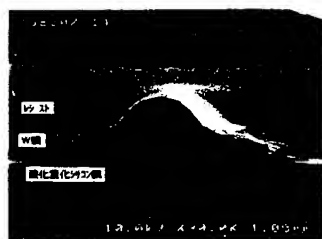
5:5:



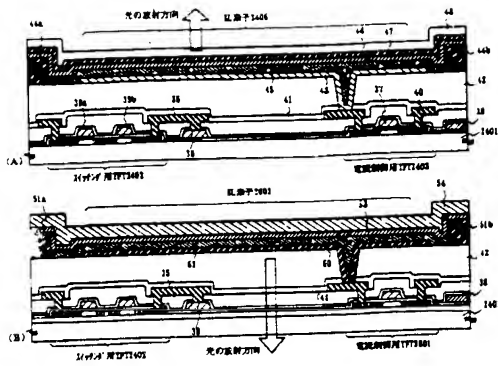
(214)



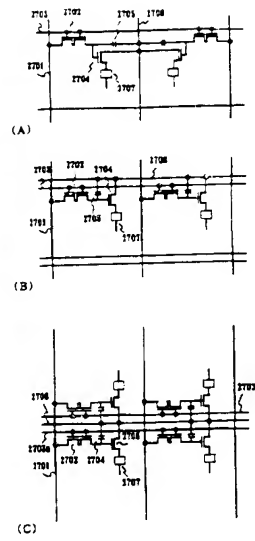
【图 27】



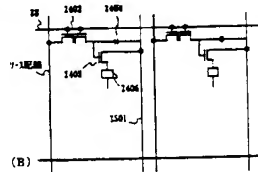
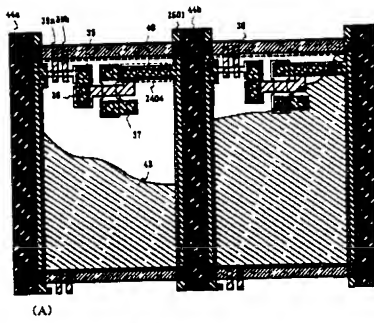
【図20】



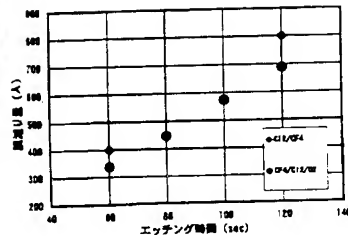
【図21】



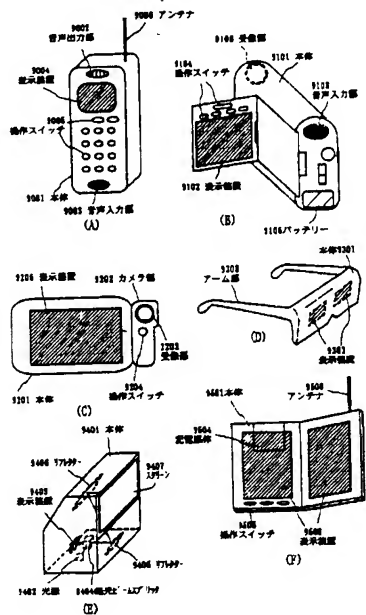
【図22】



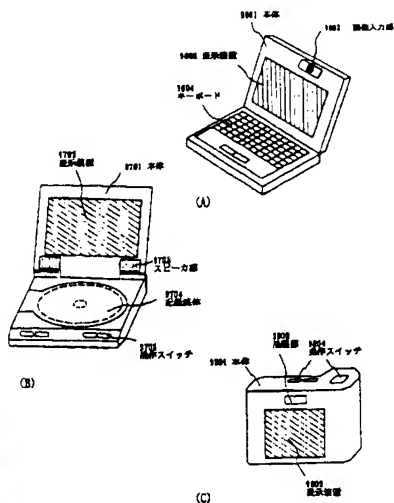
【図23】



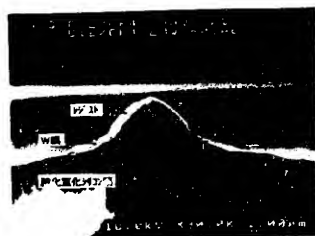
【图 2 3】



【例 24】



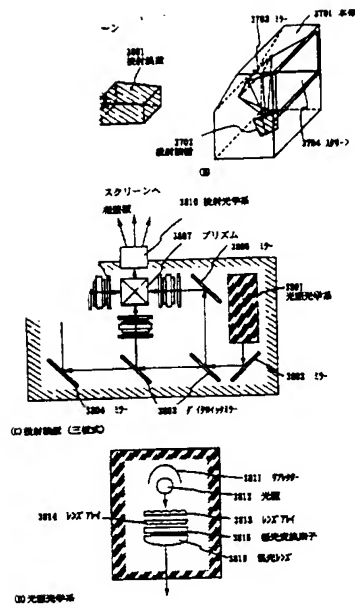
【例 28】



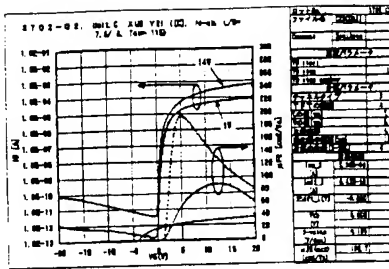
【29】



【図25】



【図30】



フロントページの続き

(51) Int. Cl. 7

識別記号

FI
H01L 29/78

6-72-D (参考)

616A
617K